

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-067648
(43)Date of publication of application : 03.03.2000

(51)Int.CI. H01B 3/00
H01L 27/04
H01L 21/822
H01L 27/10
H01L 27/108
H01L 21/8242

(21)Application number : 10-229638 (71)Applicant : NEC CORP
(22)Date of filing : 14.08.1998 (72)Inventor : IGARASHI NOBUYUKI

(54) FORMATION OF FERROELECTRICS FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a high remanence value, high anti-electric field value and small leak current value by forming ferroelectrics crystalline nucleus precursor layer of a specific thickness on a heterogeneous underlying material, and heat treating the same for forming ferroelectrics crystalline nucleus layer to completely inhibit the occurrence of void on the neighborhood of an underlying interface.

SOLUTION: The ferroelectrics crystalline nucleus precursor layer of a thickness more than 5 nm and less than 20 nm, is formed on a heterogeneous underlying material. Preferably the heating treatment of the ferroelectric precursor layer is performed at a temperature lower than a temperature in the formation of the ferro-dielectric crystalline nucleus layer, and a composition ratio of metallic elements at least excluding oxygen, in the ferroelectric precursor layer is almost same as that in the ferroelectric crystalline nucleus layer. Preferably, a deposition speed of the initial deposition for depositing the ferroelectric layer directly on a heterogeneous underlying substrate is lower than that in a later stage of the position, and the deposition speed of the initial deposition is more than 1 nm/min. and less than 5 nm/min.. A thickness of the deposition initial layer is more than 5 nm and less than 30 nm. Further the deposition speed of the deposition later period is ore than 5 nm/min. and less than 20 nm/min.

LEGAL STATUS

[Date of request for examination] 14.08.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3085285

[Date of registration] 07.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-67648

(P2000-67648A)

(43) 公開日 平成12年3月3日 (2000.3.3)

(51) Int.Cl'

識別記号

H 01 B 3/00
H 01 L 27/04
21/822
27/10 4 5 1
27/108

F I

H 01 B 3/00
H 01 L 27/10
27/04
27/10

テーマコード (参考)

F 5 F 0 3 8
4 5 1 5 F 0 8 3
C 5 G 3 0 3
6 5 1

審査請求 有 請求項の数 9 OL (全 10 頁) 最終頁に続く

(21) 出願番号 特願平10-229638

(22) 出願日 平成10年8月14日 (1998.8.14)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 五十嵐 信行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100070530

弁理士 畑 泰之

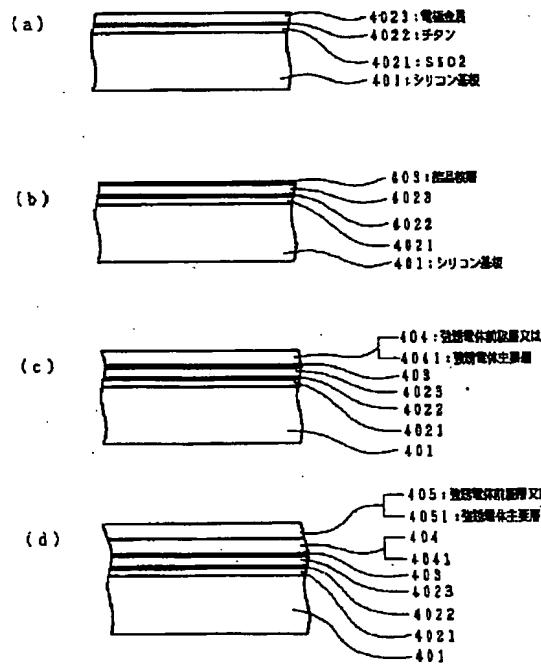
最終頁に続く

(54) 【発明の名称】 強誘電体膜の形成方法

(57) 【要約】

【課題】 ポイド発生を完全に抑制して、大きな残留分極値、大きな抗電界値、少ないリーク電流値を持った強誘電体膜を再現性良く製造可能にした強誘電体膜の形成方法を提供する。

【解決手段】 異種下地材料上に5nm以上、20nm未満の厚さの強誘電体結晶核前駆層を形成する工程と、これを熱処理して強誘電体結晶核層403とする工程とを備えたことを特徴とする。



【特許請求の範囲】

【請求項1】 異種下地材料上に5nm以上、20nm未満の厚さの強誘電体結晶核前駆層を形成する工程と、これを熱処理して強誘電体結晶核層とする工程とを備えたことを特徴とする強誘電体膜の形成方法。

【請求項2】 強誘電体前駆層を堆積する第1の工程と、その後、熱処理して強誘電体結晶主要層となす第2の工程とよりなる一連の工程を繰り返すことにより強誘電体結晶層を形成することを特徴とする請求項1記載の強誘電体膜の形成方法。

【請求項3】 前記強誘電体前駆層の熱処理温度が、強誘電体結晶核層形成温度よりも低いことを特徴とする請求項2記載の強誘電体膜の形成方法。

【請求項4】 強誘電体前駆層における少なくとも酸素以外の金属元素組成比が、強誘電体結晶核層のそれと略同一であることを特徴とする請求項2記載の強誘電体膜の形成方法。

【請求項5】 強誘電体結晶層を直接異種下地基板に堆積して強誘電体層を形成する強誘電体膜の形成方法であって、堆積初期の堆積速度が、堆積後期の堆積速度より遅いことを特徴とする強誘電体膜の形成方法。

【請求項6】 前記堆積初期の堆積速度が1nm/分以上5nm/分以下であることを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項7】 堆積初期層の厚さが5nm以上30nm分以下であることを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項8】 堆積後期の堆積速度が5nm/分以上20nm/分以下であることを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項9】 堆積後期の下地基板温度が堆積初期のそれよりも低いことを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項10】 堆積後期層における少なくとも酸素以外の金属元素組成比が堆積初期層のそれと略同一であることを特徴とする請求項2記載の強誘電体膜の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体膜の形成方法に係わり、特に、不揮発性メモリ、赤外センサ或は圧電素子等に用いられる強誘電体結晶薄膜を用いた強誘電体容量に好適な強誘電体膜の形成方法に関する。

【0002】

【従来の技術】 自発分極、高誘電率、電気光学効果、圧電効果および焦電効果等々の多くの特異な性質を持った強誘電体からは多くの電子素子が開発されている。最近では記憶容量を形成するための絶縁膜として、SiO_xやSiN_xに代って高誘電率特性をもった絶縁膜をDR

AM（ダイナミック・ランダム・アクセス・メモリ）に適用することで、ギガビット以上の集積回路開発が盛んに行われている。また、メモリ容量用絶縁膜に強誘電体特性を付加することで不揮発性メモリ（以下、FRAMと呼ぶ）を実現することが期待されている。特に後者のFRAMは不揮発性書き換え可能な大規模メモリとしての期待が高いものである。こうした強誘電体材料としては、Pb(Zr_xTi_{1-x})O_x（xは1以下の正数を表す）、Bi_xTi_{3-x}O₃、SrTiO₃、(Ba_{1-x}Sr_x)TiO₃、SrBi₂Ta_xO₃などが該当する。

【0003】 いすれも実用化されているDRAM等の半導体デバイスには導入されたことのない材料である。こうした強誘電体材料の形成方法としては、ゾルゲル法、スパッタ法、MOCVD法、MOD法、レーザーアブレーション法などがある。しかし、いすれの成膜方法においてもFRAMを実用化するに充分な特性の膜は得られていない。特に強誘電体特性は本質的に結晶構造に起因すると考えられるものであるから、この特性を具備する絶縁膜は単結晶である必要は必ずしもないものの、配向性多結晶質の膜である。即ち、従来の半導体デバイスに用いられるSiO₂やSiN_x等の絶縁膜がいすれも非晶質であったのに対して、強誘電体特性を呈する絶縁膜は一般に配向性を有する多結晶膜ということになる。この結晶化して強誘電体特性を得るには材料の種類にもよるが通常600°C以上での熱処理が必要である。

【0004】 さて、FRAM用の強誘電体特性に要求されるものは、良く認識されているように大きな残留分極値（Pr）、小さい抗電界、低いリーク電流、加えて優れた分極/反転の繰り返し耐性等である。ところが多結晶膜では粒界が存在し、表面に凹凸が生じる。また、この粒界を通してリーク電流が流れたり、これに基づく残留分極の減少なども起こる。加えて従来技術で示したように強誘電体特性を示す膜の多くは金属酸化物であり、酸素欠損などの化学量論的欠陥が極めて発生しやすく、これによるPrの減少なども起こる。一般に600°C以上での結晶化熱処理などを安易に行えば酸素欠損は生じるし、且つ、下地あるいは上部電極との相互拡散などの多くの問題が山積している。更に、例えばFRAMとして動作できたとしても、分極/反転を繰り返すうちにPr値が劣化するといった問題もある。この繰り返し特性の劣化は粒界を介しての電極金属や母体構成元素のバイオブ拡散などが原因と思われる。加えて、多結晶膜の配向性が充分でない場合にはPr値の低下等、満足できる強誘電体特性はもちろん得られない。

【0005】 こうした状況を開拓すべく提案された一つの技術が特開平9-282943号公報に示されている。ここで述べられている例を以下に紹介する。まず、ゾルゲル法で強誘電体膜を製作した例について紹介する。ゾルゲル法で用いる原料溶液は良く知られている

ように、強誘電体を構成する一部の元素の塩又は金属アルコキシド等を含む有機溶媒と、他の元素の塩又は金属アルコキシド等を含む有機溶媒とを混合して調整される。この際の原料溶液の塗布は、一般にスピンドル法等で行うことができる。スピンドル法するシリコンウエーハ表面には予め電極金属が形成されており、まず第1段階では膜厚20～50nm程度の塗布が行われる。その後、用いる原料によって異なるが、500～800°Cの温度で、10～60秒間、酸素雰囲気中で熱処理することで塗布層は結晶化する。この結晶化した層は特開平9-282943号公報において結晶核層と呼称されているものである。

【0006】第2段階ではこの結晶核層の上に再び、スピンドル法で結晶核層の厚みも含めて所望の最終層厚となるように原料溶液を塗布する。もちろん、この段階では強誘電体特性をもった材料層は結晶核層のみである。ここで特開平9-282943号公報には所望の厚みに関しては下地結晶核層表面の凹凸が反映されることのないようにこの非晶質層はあまり薄くないように記載されており、次の結晶化熱処理後に平滑な表面を得るために100～200nm程度が好ましいと記載されている。

【0007】統一して、この第2段階で塗布された層は熱処理を経て結晶化し、所望の厚さの強誘電体層が得られるわけである。この第2段階での熱処理温度は通常の熱処理温度では結晶化が起こらない、第1段階の結晶核層形成の場合の熱処理温度より低く設定される。以上の段階を経由することで良好な強誘電体特性をもつ材料層が得られることが特開平9-282943号公報によって示されている。

【0008】次にスパッタ法で強誘電体膜を製作した例について紹介する。ここでは第一段階で基板表面に形成された電極の上にまず強誘電体結晶核層を形成する。もちろん、この場合の基板温度は結晶化が起こる程度の高温にしておく必要がある。その後、基板温度を下げる、結晶核層の上に強誘電体層を直接、エピタキシャル的に堆積するものである。特開平9-282943号公報で述べられたスパッタ成膜ではBi_xTi_xO₃を形成する例が述べられている。原料ターゲットにBi_xO₃とTiO₂を2:3の割合で混合した焼結体を用い、酸素とアルゴン1:1で混ぜた混合ガス雰囲気のもと2Pa(パスカル)、RF(高周波)パワー200Wのスパッタ条件であらかじめシリコン表面にPt膜を形成したウエーハ上への形成について述べられている。第1段階の結晶核層の堆積はウエーハ表面温度600°Cで5分間成膜して、膜厚50nm程度の結晶核層が得られる。次の第2段階では基板温度を450°Cまで徐冷、保持して20分間の堆積を行い、膜厚200nmのBi_xTi_xO₃強誘電体層が形成される。結晶核層が存在しない場合には450°Cの基板温度では強誘電体特性を示さない。

イロクロア(Pyrochlore)相を呈する層が堆積するが、ペロブスカイト(Peovskite)相を呈する結晶核層を予め形成しておくことで基板温度が450°Cであっても全層厚にわたって強誘電体特性を示すペロブスカイト結晶層が形成される。この結果、ゾルゲル法の場合と同様に良好な強誘電体特性を有する材料層が得られたことが特開平9-282943号公報に述べられている。

【0009】発明者は上記、特開平9-282943号公報に示された技術の追試をPb_{(Zr_{1-x}Ti_x)O}材料で試みた。この第1段階において特開平9-282943号公報以前の通常の方法、すなわち、低温でスパッタ成膜し、これをO₂雰囲気で600°Cで熱処理して結晶化する方法で形成した試料の断面を透過型電子顕微鏡(TEM)観察した。強誘電体材料としてはPb_{(Zr_{1-x}Ti_x)O}(以下、PZTと略記する。)であるが、図6(a)のTEM写真で見るようO₂雰囲気での熱処理前にはポイドの発生は見られないが、図6(b)で示すように熱処理後には無数のポイドが膜中にあることが観察された。図6(a)及び(b)の写真はTEM観察で通常、採用されるようにPZT堆積面を接着剤で張り合わせ、これを切断面ができるように研磨とイオンミリング法で薄片化した試料について観察したものである。従って写真の上部に見られる白い帯は接着部を示すものであることを断っておく。ポイドの存在はスパッタ後の熱処理前後での膜厚変化からも予想される。なぜならばスパッタによって基板上に形成された材料層はバイロクロア相であり、O₂中での熱処理によって、バイロクロア相から強誘電体特性を呈するペロブスカイト相の結晶へと変化すると考えられる。図8は、バイロクロア型結晶とペロブスカイト型結晶の単位格子の概念図を示す。バイロクロア型結晶では、組成式Pb₂(Zr_{1-x}Ti_x)₂O₆の8単位が一つの単位格子を形成する。図8の図中の実線で示した8つの立方体の頂点を酸素が占めるが、これらの中で白丸にて示した位置でその一つが欠落し、Pb₂(Zr_{1-x}Ti_x)₂O₆の2×2×2の周期構造を作っている。単位格子の体積は、バイロクロアPb₂(Zr_{1-x}Ti_x)₂O₆とペロブスカイトPb_{(Zr_{1-x}Ti_x)O}のそれぞれ、1117.74×10⁻³nm³と65.20×10⁻³nm³である。バイロクロア型結晶は、単位格子中にPb₂(Zr_{1-x}Ti_x)₂O₆原子をそれぞれ16個含むので、これらの原子がペロブスカイト型結晶に変化した場合、体積は1043.27×10⁻³nm³となり、約7%の体積減少を起こす。ところが、本実験の結果は、結晶構造変化の前後(図6(a)及び(b))で薄膜の膜厚変化がないことを示している。従って、図6(b)に示す試料のペロブスカイト結晶中に見られるポイドは、この結晶構造変化に伴う密度の変化がその主因であると考えられる。

【0010】一方、特開平9-282943号公報の方

法を採用したもので同様のTEM観察を行った。まず、50nmのペロブスカイトPb_{(Zr_{1-x}Ti_x)O₃}結晶核層を形成、次に150nmのバイロクロア層を低温スパッタで形成して450°Cで熱処理したものである。バイロクロア層は450°Cという低温での熱処理で強誘電体層に変化することは特開平9-282943号公報に述べられている通りである。図6に示したと同様のTEM観察を行った結果を図7に示すがポイドの数は著しく減少することが解った。図7(a)は熱処理前、図7(b)は450°Cの熱処理後の試料の写真である。しかし、図7(b)で示すように最表面から50nmにはやはりポイドの大きさは小さいもののポイドの発生が見られる。また、ペロブスカイト結晶核層の中にもポイドが見られることがわかる。

【0011】すなわち、特開平9-282943号公報の方法を採用するならば、実はペロブスカイト層中のポイドが著しく減少することが解った。ポイドについては特開平9-282943号公報にはなんら触れられていないが、強誘電体特性の大幅な改善はこのポイドの著しい減少に基づくものと考えられる。しかし、以上で述べたように特開平9-282943号公報の方法を採用しても結晶核層や結晶核層の上のペロブスカイト層中には依然としてポイドが残留していることは図7(b)の写真から明らかである。こうしたポイドの発生はペロブスカイト層の見かけ上の誘電率を下げるものであるし、残留分極値の低下等の強誘電体特性の低下をもたらすことは明らかである。

【0012】そこで本発明は上記したポイド発生を完全に抑制して良好な強誘電体層を形成する方法を提供するものである。

【0013】

【発明が解決しようとする課題】本発明の目的は、上記した従来技術の欠点を改良し、特に、上記したポイド発生を完全に抑制した新規な強誘電体膜の形成方法を提供するものである。

【0014】

【課題を解決するための手段】本発明は上記した目的を達成するため、基本的には、以下に記載されたような技術構成を採用するものである。即ち、電極金属等の異種下地材料上に5nm以上、20nm未満の厚さの後に所望の強誘電体となる結晶核前駆層を先ず形成し、続いてこれを熱処理して強誘電体結晶核層とする工程を備えた強誘電体膜の形成方法を採用することにより、下地界面近傍からポイドのない良質な強誘電体膜が得られる。

【0015】更に、強誘電体膜を厚く堆積するにはまず、厚さ100nm未満の強誘電体前駆層を堆積する第1の工程と、その後に熱処理して強誘電体結晶主要層となす第2の工程を踏むことにより達成される。更に厚く堆積する必要があるならば前記第1の工程と第2の工程とを繰り返せば良く、このようにして厚い良質な強誘電

体層を形成することができる。

【0016】また、結晶核層の上に堆積した強誘電体前駆層を熱処理する温度は強誘電体結晶核層形成温度より低くても充分に結晶化が進行し、強誘電体主要層とすることができるので高温での熱処理時間を短縮できる。特に、強誘電体前駆層における少なくとも酸素以外の金属元素組成比が強誘電体結晶核層のそれとほぼ同一であるならば強誘電体前駆層の熱処理温度は充分に低くても結晶化が進行する。

【0017】また、強誘電体結晶層を直接、異種下地基板に堆積する方法においては、堆積初期の堆積速度が、堆積後期の堆積速度より遅くすることでもポイド発生の少ない強誘電体層を形成することができる。特に堆積初期の堆積速度が1nm/分以上5nm/分以下であるならばポイドフリーの堆積初期層が得られ、堆積初期層の厚さを5nm以上30nm以下にとれば後に堆積する堆積後期層のポイド軽減にきわめて有効である。

【0018】一度、堆積初期層が得られれば堆積後期の堆積速度は速めることができるが、ポイドフリーの強誘電体層を得るには堆積速度として5nm/分以上20nm/分以下であることが好ましい。また、堆積後期の下地基板温度については堆積初期のそれよりも低くしても結晶化は進行する。この結晶化の進行は堆積後期層における少なくとも酸素以外の金属元素組成比が堆積初期層のそれとほぼ同一であることより温度を低めることができる。

【0019】

【発明の実施の形態】図1は、本発明に係わる強誘電体膜形成プロセスを示すために描いた強誘電体層を断面よりみた模式図である。まず、図1(a)で示すようにシリコンなどのシリコン基板101上に電極金属102を形成する。電極金属としてはPt、Ir、IrO₂などが良く知られたものであるが、特に、本発明においてはこの種類を限定するものではない。また、強誘電体層材料としては特開平9-282943号公報でも述べられているようにSrBi₂Nb₂O₉、EpBi₂EqO₃。(EpはBaあるいはPb、EqはNbあるいはTaを表す)、ExBi₂Ti₂O₅、(ExはSr、BaあるいはPbを表す)、EyBi₂Ti₂O₅、(EyはSr、BaあるいはPbを表す)、Pb(Zr_{1-x}Ti_x)O₃、(Pb_{1-y}La_y)₂(Zr_{1-x}Ti_x)O₃、Bi₂Ti₂O₅、SrTiO₃、(Ba_{1-x}Sr_x)₂TiO₃、Pb(Zr_{1-x}Ti_x)O₃、その他があるが、これについても限定するものではない。

【0020】以後が本発明の主要な部分であるが、図1(b)で示すように電極金属上に少なくとも最終的には強誘電体層の一部を構成することになる結晶核前駆層103を形成する。この結晶核前駆層103は基板温度を高くして形成するならば、形成時より強誘電体特性を有する結晶核層1031となるが、ここでは基板温度が低

い状態で形成した後に熱処理する方法によって強誘電体特性を有する膜に変換する方法について述べる。

【0021】この発明における結晶核前駆層103形成における要点はまず厚さ20nm未満の、後に強誘電体結晶核層1031となる前駆層103を堆積することである。堆積の方法としてはソルーゲル法、低い基板温度でのスパッタ法などこれを限定するものではないが、この結晶核前駆層103は強誘電体特性を示すものではない。

【0022】しかる後、熱処理を行って結晶化すれば結晶核層1031が出来上がるわけである。このように結晶核前駆層103を形成し、これを熱処理して強誘電体特性を示す結晶相に変換する場合に結晶核前駆層103の厚さを20nm未満とすることがポイドのない強誘電体結晶核層1031を得るための必要条件で、特に15nm以下の厚みにすることがポイド発生を再現性良く抑制することに有効であった。20nmを越える場合にはポイド発生が避けられないからである。

【0023】図7(b)に示したように20nmを越える厚い結晶核層に見られるポイドの直径は5~20nm程度である。このポイドの大きさはペロブスカイト相化する段階で余剰となる空孔の拡散長相当と考えられる。従って、結晶核前駆層103の厚さを20nm以下に留めれば先の余剰な空孔は外方拡散するためにポイドの発生が起こらないものと考えられる。このポイド消滅の条件は材料の種類や熱処理条件によっても若干、変わるものであるが結晶核前駆層の厚さを15nm以下にするならば問題なくポイドの発生のない強誘電体結晶核層1031が得られる。なお、結晶核層1031の厚さについては結晶核前駆層103の厚さに較べて若干薄いと考えられるが、少なくとも図7のようなTEM観察では差違を論ずることはできなかった。

【0024】上記した強誘電体結晶核層1031を形成した後のプロセスは以下に示すように2つの場合に分かれる。第1の場合は特開平9-282943号公報の例で紹介したソルーゲル法の説明に対応したもので、図1(c)で示すように強誘電体相となった結晶核層1031の上に強誘電体特性を呈しないように低温で強誘電体前駆層104を形成する場合である。この場合の要点は強誘電体前駆層104の厚さを100nm未満に押さえることで、この後に熱処理を加えて強誘電体前駆層104を強誘電体主要層の少なくとも一部1041に変換する。所望の膜厚に達しない場合には再び100nm未満の厚さの強誘電体前駆層105を形成、これを熱処理して強誘電体主要層の一部1051に変換するという操作を繰り返し行うことが肝要である。ここで結晶核層1031は強誘電体前駆層104の結晶化のための種結晶としての役割をはたし、強誘電体前駆層104の結晶化温度を下げ、かつ空孔の外方拡散を早めてポイドのない強誘電体層の形成を可能にする。勿論、強誘電体前駆層1

05に対する種結晶の役割は強誘電体主要層の少なくとも一部であるところの1041が担うわけである。

【0025】更に、強誘電体主要層の厚さを厚くしたければ再び100nm未満の強誘電体前駆層を堆積、これを熱処理して強誘電体主要層の一部となすような前記プロセスを繰り返せばよいわけである。即ち、結晶核前駆層103については20nm以下、その上の強誘電体前駆層104や105等に関しては100nm未満にすることがポイド発生を抑制するためには必要な条件である。この100nm未満という値も、強誘電体前駆層の組成が結晶核層のそれとほぼ同じであった場合であり、これが異なる場合にはさらに薄くした方がポイドの抑制には有効である。これらの事実から強誘電体前駆層1041がペロブスカイト相化するには下地結晶核層103の結晶性を引き継いでいく場合にはペロブスカイト相化に伴い発生した空孔が能率良く外方拡散するために結晶核層103に較べて厚い層であってもポイド発生は起らないと解釈される。

【0026】これは図6で示した100nm以上の厚い強誘電体前駆層を積んだ後に結晶化熱処理を行った場合にポイドの直径が先の図7(b)の結晶核層で見られるポイドの直径に較べて大きく30~50nm(観察されるこの直径はTEM観察が薄片試料で行われるための実際のポイド径はより大きいと予測される)以上もあり、ここでの空孔の拡散長が結晶核層のそれに較べて数倍以上、大きいことに基づくと考えられる。また、図7(b)で表面から50nm程度の深さの所にもポイドが存在するがこのポイドは極めて小さいこと、加えてさらに表面ではポイドが存在しないことがわかる。この小さいポイドは表面領域では空孔の大部分が外方拡散、わずかに取り残された空孔が小さなポイドとなって残ったものと考えられる。

【0027】以上のことから強誘電体前駆層の厚みが100nm未満であるならば、空孔は外方拡散してポイドの発生のないペロブスカイト相化した強誘電体層が得られる結論である。なお、結晶核層の場合と同様にポイド消滅の条件は材料の種類や熱処理条件によっても若干、変わるものであるが強誘電体前駆層の厚さを80nm以下にするならば問題なく良質の強誘電体層が得られる。

【0028】第2の場合は特開平9-282943号公報の例で紹介したスパッタ法の説明に対応するもので、結晶核層の上に基板を加熱するなどして直接強誘電体層を堆積していくものである。図2(a)で示してあるようにシリコン基板201の上に、電極金属202と結晶核層203を積んだウェーハを用意し、基板温度を強誘電体層となる温度の下、200度以内程度の高温で直接強誘電体層を堆積するものである。堆積する場合の要点は堆積速度を低く押さえることである。堆積速度を低く抑えれば図2(b)で示すように一度の堆積で所望の厚

さの強誘電体主要層304を得ることが出来る。実験的には20nm/分以下の堆積速度にするならばボイドの発生がない強誘電体主要層304が得られることが判明した。この堆積速度に関しては基板温度が高いほど大きな値をとってもボイド発生がない。しかし、20nm/分以下という堆積速度の条件は少なくとも結晶核層の形成履歴温度の最高温度未満の基板温度で堆積するという条件のもとでの数字であり、それ以上に高い基板温度で堆積するならばさらに堆積速度を高めてもボイド発生のない強誘電体膜の形成は可能である。しかし、低温化は半導体プロセスにおける一般的要請であるとともに、強誘電体膜の化学量論比、特に酸素欠損を制御する意味で重要な要請である。従って、基板温度としては結晶核層の形成履歴温度の最高温度未満であることが好ましく、この点から20nm/分以下の堆積速度を選択することが賢明である。

【0029】第2の場合について結晶核層303を改めて準備せずとも直接、強誘電体層を堆積していけばよいだろうという疑問は生じるであろう。もちろんこの方法によっても良く、図3(a)のように、シリコン基板301の上に、電極金属302が配されたウェーハを用意し、基板温度を強誘電体層が直接堆積する温度に設定して強誘電体結晶核層303をまず堆積する。ただし、強誘電体層の結晶核層を堆積する段階、ここでは堆積初期段階と呼ぶが、この段階の堆積速度を充分に落とすことが肝要である。この堆積初期層こそが結晶核層に相当するものであるから厚さの目安としては5nm以上30nm以下の厚さを堆積すれば充分である。この間の堆積速度は第1の場合からも推定できる1nm/分以上5nm/分以下で行えばボイド発生はなかった。もちろん、この場合には5nm/分の堆積速度で強誘電体層の厚さをすべて堆積しても良いことはいうまでもないので、図3では結晶核層303を厚みがあるよう描いたが、堆積時間がかかるので堆積初期の20nm程度の厚さをこの低い堆積速度で堆積するのが賢明である。従って20nm厚程度の結晶核層303を堆積した後には図2ですでに説明したように20nm/分以下の堆積速度で強誘電体主要層304を形成して図3(b)で示すように所望の厚さを持った強誘電体層を形成すればよい。なお、下限の堆積速度はおそらく問題ないが、実際には5nm/分以上が効率の点で好ましい。又、強誘電体主要層304の形成にあたっては基板温度を図2で述べたように低下させても良いことはいうまでもない。加えて結晶核層303の形成段階で15nm程度の厚みになったら基板温度を強誘電体主要層304形成の温度に下げてもかまわないことも、わざわざ断るまでもなかろう。

【0030】以上、結晶核層の厚さについては20nm以下、堆積初期層の厚さとして20~30nm程度が目安であると述べてきたが、結晶核層あるいは堆積初期層の厚さとしては5~30nmは必要である。5nm未満

の場合には充分な結晶核層あるいは堆積初期層としての役割、すなわちその上に積む強誘電体層の特性向上にはほとんど寄与しない。これは5nm未満の場合には結晶粒径があまりに小さく、かつ配向性も充分でないためにその上の強誘電体層の配向を促す、種結晶の役割を担わないからと考えられる。

【0031】以上、結晶核層の上に強誘電体前駆層を形成し、しかる後に熱処理して強誘電体層にする場合と結晶核層の上に直接強誘電体層を堆積する2つの場合について、ボイドのない強誘電体層を形成できる条件を示した。また、異種下地材料上に直接、結晶核層すなわち堆積初期の強誘電体層を堆積する場合についても堆積速度を充分に遅くすることが重要であることを示した。言うまでもないことであるが異種下地材料上に直接、結晶核層すなわち堆積初期の強誘電体層を堆積速度5nm/分以下で堆積して結晶核層としても良い。この場合には結晶核層の厚さとしては20nm以上でもかまわないわけである。強誘電体特性を示さない低温相から強誘電体特性を呈する高温相への相転移の温度は強誘電体材料の種類によって変化するが、結晶核層上に強誘電体前駆層を形成した後の熱処理温度あるいは直接強誘電体層を堆積する温度については相転移温度の下、250度程度より上の温度であれば良い。

【0032】

【実施例】以下に、本発明に係わる強誘電体膜の形成方法の具体例を図面を参照しながら詳細に説明する。

(第1の具体例) 図4は、本発明に係わる強誘電体膜の形成方法の具体例の構造を示す図であって、これらの図には、異種下地材料上に5nm以上、20nm未満の厚さの強誘電体結晶核前駆層を形成する工程と、これを熱処理して強誘電体結晶核層403とする工程とを備えた強誘電体膜の形成方法が示され、又、厚さ100nm未満の強誘電体前駆層404を堆積する第1の工程と、その後、熱処理して強誘電体結晶主要層4041となす第2の工程とよりなる一連の工程を繰り返すことにより強誘電体結晶層を形成することを特徴とする強誘電体膜の形成方法が示され、更に、強誘電体前駆層における少なくとも酸素以外の金属元素組成比が、強誘電体結晶核層のそれと略同一である強誘電体膜の形成方法が示されている。

【0033】以下に、第1の具体例として強誘電体材料としてPZTを堆積する場合について説明する。PZTはすべてスパッタ法で形成し、図4に沿って説明する。スパッタ用のターゲットは $Pb_{1-x}Zr_xTi_{0.8}O_3$ (xは3程度)の焼結体を用いた。6インチ直径のシリコン基板401の表面に500nm厚の SiO_2 4021、その上に20nm厚の Ti 薄膜4022を形成、200nmの Pt 膜4023をまず形成したものが図4(a)の状態である。上記発明の実施の形態の項ではシリコン基板の上に直接電極金属を配したが、この具体例

においては電極金属4023とシリコン基板401の間に絶縁体であるSiO₂4021を挿入した。チタン薄膜4022はSiO₂4021とPt膜4023の密着性を向上するために挿入されたものである。次にPZTのスパッタでの堆積であり、基板温度を520°Cに設定、スパッタ室には酸素を0.1モル分率含有したArガスを導入して圧力を5.7mTorrに調整して行った。

【0034】まず、第1段階の結晶核前駆層の成膜では45秒間スパッタして膜厚15nmのPZTを堆積した。15nmという薄い成膜を行う必要からスパッタ時に印加する高周波電力は控えめにして1kwにした。この後、酸素ガス中、600°Cで1分間の熱処理を加えることで図4(b)に示した結晶核層403が形成される。

【0035】この段階で厚さは15nmの強誘電体特性を示すペロブスカイト相を呈する強誘電体特性を示す結晶核層403が生じる。この結晶核層403がボイドをほとんど含まない良質な結晶核層となるためにはスパッタで堆積するPZTの膜厚は20nm以下であることが必要であったことはいうまでもない。次にPZT主要層の成膜に移行する。ここではスパッタ時の基板温度を520°Cとして、高周波電力は3kwにし、成膜速度を上げて100nm厚のPZT強誘電体前駆層404を堆積した。その後、酸素ガス中、600°Cで5分間の熱処理を行うことで少なくとも強誘電体主要層の一部膜厚4041が形成される。強誘電体メモリ等のデバイスでは強誘電体層の膜厚をさらに増加したい場合が多い。この場合には再度、前記プロセスを繰り返す。すなわち、再び520°Cの温度で100nm厚以下のPZT強誘電体前駆層405を成膜し、酸素中、600°C5分間の熱処理を行って強誘電体主要層の一部4051が形成される。

【0036】このように必要な膜厚に応じて相転移温度より充分に低い温度で100nm以下の膜厚の強誘電体前駆層を形成し、後にこれを強誘電体層化する熱処理を行うというプロセスを繰り返すならば所望の厚さを持ったボイドのない強誘電体層を形成することができる。こうして得られた厚さ200nmの強誘電体層の表面に電極を形成して強誘電体特性を測定したところ残留分極値Prとして30μC/cm²、抗電圧1.8V以上、またリーコ電流も-5Vから+5Vにわたって10⁻⁹A/cm²以下で良好な性質を示す層が形成されていることがわかった。

【0037】(第2の具体例)以上で述べた本発明の方法はMOD(Metal Organic Decomposition)法を採用した成膜方法にも適用できる。以下、Bi層状構造を持つ強誘電体SrBi₂Ta₂O₉(SBTと略称)を形成する第2の具体例について述べる。図は、図4をそのまま使用できるのでこれに沿って説明する。溶液原料としてはSrイソプロポキシ

ド、TaエトキシドおよびBi₂エチルヘキサネートを用いた。基板は前の具体例と同様に6インチ直径のシリコン基板401表面に500nm厚のSiO₂4021、その上に20nm厚のTi薄膜4022を形成、200nmのPt膜4023を形成してあり、この上に前記した原料をSBT組成になるよう調合してスピンドル法によって塗布した。第1回目の塗布厚は22nmでこれを窒素ガス中、400°Cで5分、続いて酸素ガス中、700°Cで10分間の熱処理を行うことで結晶核層403が形成される。

【0038】熱処理後の膜厚は18nmで、これが結晶核層403となる。次に再び前記した調合原料をスピンドル法により90nm厚塗布して強誘電体前駆層404を形成した。これを窒素ガス中、400°Cで10分、続いて酸素ガス中、700°Cで10分間の熱処理を加えると厚さ70nmの強誘電体主要層4041が形成される。所望の厚さ強誘電体層を形成するには再び100nm以下の強誘電体前駆層405を形成して前記した2段階の熱処理を行い強誘電体主要層4051となすプロセスを繰り返せば良いことは言うまでもない。

【0039】(第3の具体例)次に、第3の具体例として、発明の実施の形態の項で述べたところの第2の場合に相当する例を示す。図面としては図5を用いて説明するが、ここでも再びスパッタ法によってPZTを成膜する場合について述べる。前の具体例と同様にシリコン基板501の上にはSiO₂5021、チタン5022、Pt膜5023が積層されている。まず、基板温度を600°Cに設定して4nm/分の堆積速度で5分間成膜して結晶核層503を形成、連続して15nm/分に堆積速度を上昇して12分間成膜を行い強誘電体主要層504を形成して、結晶核層503を含めて約200nmの強誘電体層を形成した。

【0040】こうした第2、第3の具体例で得られた厚さ約200nmの強誘電体膜についても残留分極値、抗電圧、リーコ電流を測定したところ第1の具体例の場合と同等の良好な結果が得られた。なお、本発明の説明ではいすれも平面上に強誘電体膜を形成する場合について述べたが、三次元的構造をもった基板の上においても本発明の方法を適用することで上記した良好な特性を有する強誘電体膜が得られる。

【0041】

【発明の効果】本発明に係わる強誘電体膜の形成方法は、上述のように構成したので、ボイド発生を完全に抑制して、大きな残留分極値、大きな抗電界値、少ないリーコ電流値を持った強誘電体膜を再現性良く製作することが出来る等、優れた効果を有する。

【図面の簡単な説明】

【図1】本発明に係わる強誘電体膜の形成方法の実施の形態を示す図であり、結晶核層の上に強誘電体前駆層を形成し、その後に熱処理して強誘電体層にする工程を示

す図である。

【図2】結晶核層の上に直接強誘電体層を堆積する実施の形態を示す図である。

【図3】結晶核層の上に直接強誘電体層を堆積する他の実施の形態を示す図である。

【図4】本発明の第1及び第2の具体例の製造工程図である。

【図5】本発明の第3の具体例の製造工程図である。

【図6】従来技術を示す写真である。

【図7】従来技術を示す写真である。

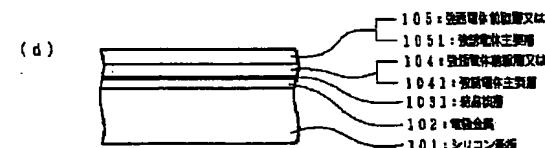
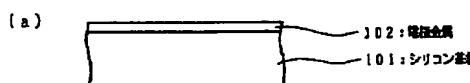
【図8】バイロクロア型結晶とペロブスカイト型結晶の単位格子の概念を示す図である。

【符号の説明】

* 101, 201, 301, 401, 501 シリコン基板
 102, 202, 302, 402-3 電極金属
 103 結晶核前駆層
 1031, 203, 303, 403, 503 強誘電体結晶核層
 104, 404, 405 強誘電体前駆層
 1041, 204, 304, 4041, 4051, 504 強誘電体主要層
 10 4021, 5021 SiO₂
 4022, 5022 チタン薄膜
 4023, 5023 Pt膜

*

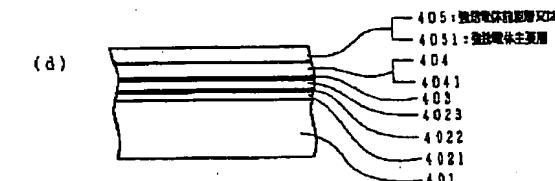
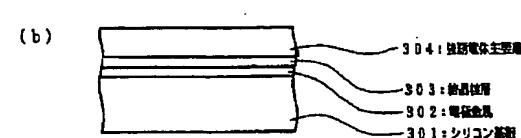
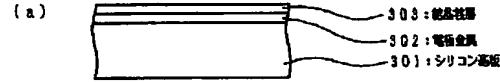
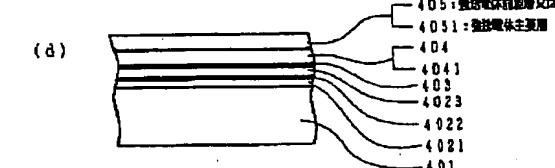
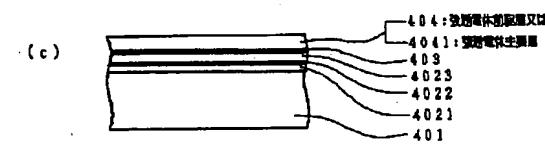
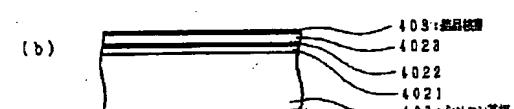
【図1】



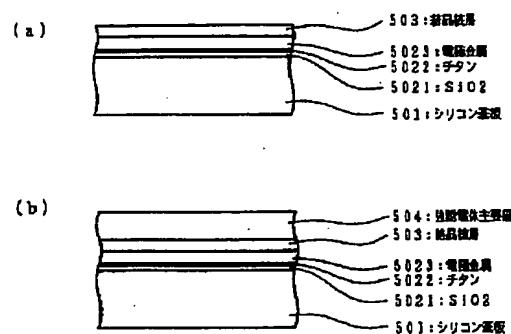
【図2】



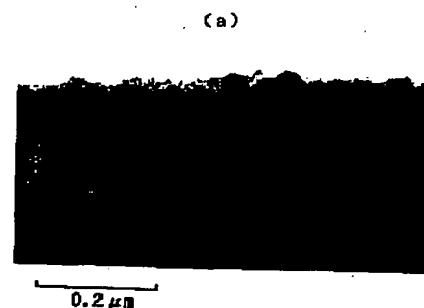
【図4】



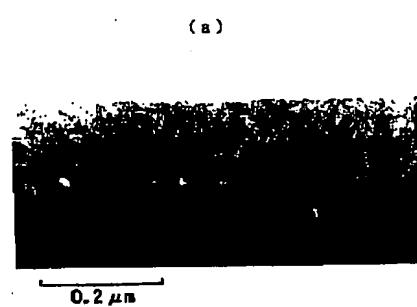
【図5】



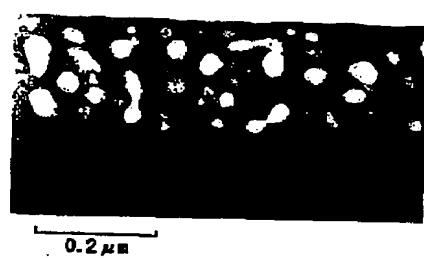
【図6】



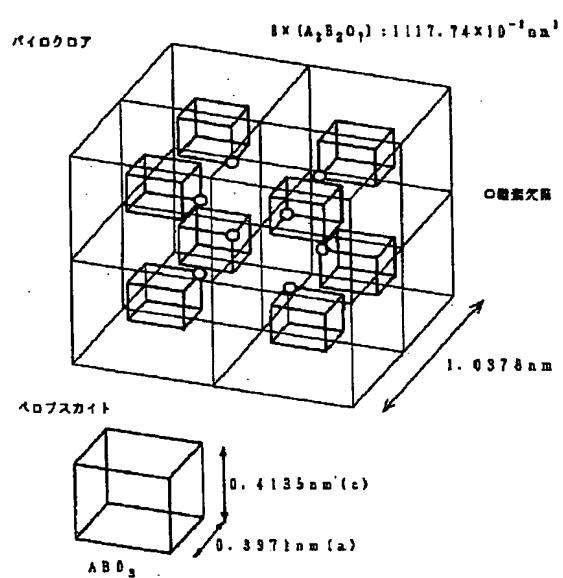
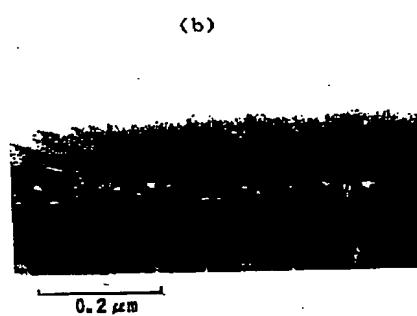
【図7】



【図7】



【図8】



【手続補正書】

【提出日】平成11年9月3日(1999.9.3)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】異種下地材料上に5nm以上、20nm未満の厚さの強誘電体結晶核前駆層を形成する工程と、これを熱処理して強誘電体結晶核層とする工程とを備えたことを特徴とする強誘電体膜の形成方法。

【請求項2】強誘電体前駆層を堆積する第1の工程と、その後、熱処理して強誘電体結晶主要層となす第2の工程とよりなる一連の工程を繰り返すことにより強誘電体結晶層を形成することを特徴とする請求項1記載の強誘電体膜の形成方法。

【請求項3】前記強誘電体前駆層の熱処理温度が、強誘電体結晶核層形成温度よりも低いことを特徴とする請求項2記載の強誘電体膜の形成方法。

【請求項4】強誘電体前駆層における少なくとも酸素以外の金属元素組成比が、強誘電体結晶核層のそれと略*

*同一であることを特徴とする請求項2記載の強誘電体膜の形成方法。

【請求項5】強誘電体結晶層を直接異種下地基板に堆積して強誘電体層を形成する強誘電体膜の形成方法であって、

堆積初期の堆積速度が、堆積後期の堆積速度より遅く、且つ、前記堆積初期の堆積速度が1nm/分以上5nm/分以下であることを特徴とする強誘電体膜の形成方法。

【請求項6】堆積初期層の厚さが5nm以上30nm以下であることを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項7】堆積後期の堆積速度が5nm/分以上20nm/分以下であることを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項8】堆積後期の下地基板温度が堆積初期のそれよりも低いことを特徴とする請求項5記載の強誘電体膜の形成方法。

【請求項9】堆積後期層における少なくとも酸素以外の金属元素組成比が堆積初期層のそれと略同一であることを特徴とする請求項5記載の強誘電体膜の形成方法。

フロントページの続き

(51)Int.Cl.:

識別記号

H 01 L 21/8242

F I

テーマコード(参考)

F ターム(参考) 5F038 AC05 AC15 AC17 EZ14 EZ17
 EZ20
 5F083 GA30 JA14 JA15 JA38 PR22
 PR48 PR49
 5G303 AA10 AB20 BA03 CA01 CB05
 CB25 CB32 CB33 CB35 CB39
 DA02